

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re PATENT APPLICATION of :  
Chang-Ju YUN :  
Serial No.: [NEW] : Mail Stop Patent Application  
Filed: September 5, 2003 : Attorney Docket No. SEC.1070  
For: BAKING APPARATUS FOR MANUFACTURING A SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Patent Application  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date  
under the International Convention of the following Korean application:

Appln. No. 2002-54913                      filed September 11, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: September 5, 2003

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 :  
Application Number

특허출원 2002년 제 54913 호  
PATENT-2002-0054913

출원년월일 :  
Date of Application

2002년 09월 11일  
SEP 11, 2002

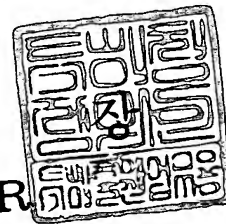
출원인 :  
Applicant(s)

삼성전자 주식회사  
SAMSUNG ELECTRONICS CO., LTD.



2002 년 10 월 01 일

특 허 청  
COMMISSIONER





1020020054913

출력 일자: 2002/10/2

**【서지사항】**

<b>【서류명】</b>	특허출원서
<b>【권리구분】</b>	특허
<b>【수신처】</b>	특허청장
<b>【제출일자】</b>	2002.09.11
<b>【발명의 명칭】</b>	반도체 제조를 위한 베이킹 장치
<b>【발명의 영문명칭】</b>	Bake apparatus for manufacturing semiconductor
<b>【출원인】</b>	
<b>【명칭】</b>	삼성전자 주식회사
<b>【출원인코드】</b>	1-1998-104271-3
<b>【대리인】</b>	
<b>【성명】</b>	김능균
<b>【대리인코드】</b>	9-1998-000109-0
<b>【포괄위임등록번호】</b>	2001-022241-9
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	윤창주
<b>【성명의 영문표기】</b>	YUN, Chang Ju
<b>【주민등록번호】</b>	711027-1224419
<b>【우편번호】</b>	441-390
<b>【주소】</b>	경기도 수원시 권선구 권선동 상록아파트 515동 1102호
<b>【국적】</b>	KR
<b>【심사청구】</b>	청구
<b>【취지】</b>	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김능균 (인)
<b>【수수료】</b>	
<b>【기본출원료】</b>	16 면 29,000 원
<b>【가산출원료】</b>	0 면 0 원
<b>【우선권주장료】</b>	0 건 0 원
<b>【심사청구료】</b>	5 항 269,000 원
<b>【합계】</b>	298,000 원
<b>【첨부서류】</b>	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 반도체 제조를 위한 베이크 장치에 관한 것으로, 이를 위한 구성으로 본 발명은 웨이퍼(W)가 안착되는 핫 플레이트(11)가 내부에 구비되는 챔버(10)와; 상기 챔버(10)의 상부를 폐쇄되도록 하는 커버(20); 및 상기 커버(20)의 내측면에는 수직 방사율을 계수가 낮은 재질의 박막(30)이 구비되도록 함으로써 외부로의 열방출을 최대한 방지하여 챔버(10) 내부의 온도 분위기가 신속하게 안정되도록 하여 공정 속도를 보다 빠르게 수행되도록 하면서 내부에서의 온도 분포가 균일하게 형성되도록 하여 웨이퍼(W)의 CD 산포를 대폭적으로 개선시켜 제품의 생산성과 함께 품질을 한층 향상시키도록 하는데 가장 두드러진 특징이 있다.

**【대표도】**

도 3

**【색인어】**

베이크, 핫 플레이트, 커버, 수직 방사율, CD 산포

【명세서】

【발명의 명칭】

반도체 제조를 위한 베이크 장치{Bake apparatus for manufacturing semiconductor}

【도면의 간단한 설명】

도 1은 일반적인 베이크 장치를 도시한 측단면도,

도 2는 일반적인 웨이퍼의 CD 산포 상태를 표시하기 위한 평면도,

도 3은 본 발명의 베이크 장치를 도시한 측단면도,

도 4는 본 발명에 따른 박막에 적용할 금속들의 수직 방사율을 도시한 표,

도 5는 본 발명에 따른 박막을 적용하기 전후의 CD 데이터를 도시한 시험 성적표,

도 6은 본 발명에 따른 구조 변경을 예시한 측단면도.

\* 도면의 주요 부분에 대한 부호의 설명 \*

10 : 챔버

11 : 핫 플레이트

20 : 커버

30 : 박막

W : 웨이퍼

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 제조를 위한 베이크 장치에 관한 것으로서, 보다 상세하게는 챔버에서 핫 플레이트에 대향하는 상부면으로 수직 방사율 계수가 낮으면서 연마에 의해 경면 처리되게 한 박막이 형성되도록 하여 챔버 내부의 온도 분위기 즉 공정 분위기가 신속하게 형성되게 하는 동시에 웨이퍼의 CD 산포를 개선하게 되는 반도체 제조를 위한 베이크 장치에 관한 것이다.
- <12> 일반적으로 반도체 장치가 고집적화되면서 회로패턴들의 사이즈가 더욱 더 미세화 되어감에 따라 미세 패턴의 사이즈에 영향을 주는 각종 파라미터들의 관리가 더욱 엄격화되고 있다. 특히 반도체 제조공정 중에서도 포토공정은 미세패턴의 사이즈에 직접적인 영향을 주게 되는데 이러한 포토공정은 웨이퍼 상에 미세패턴을 형성하기 위하여 웨이퍼 상에 포토 레지스트를 도포하고, 레티클에 형성된 회로패턴을 전사하기 위하여 도포된 포토 레지스트를 노광하며, 노광된 포토레지스트를 현상하는 일련의 공정을 수행하게 되는 것을 말한다.
- <13> 여기에서 현상공정은 포토 레지스트가 노광된 웨이퍼에 현상액을 뿌려서 포토 레지스트의 성질에 따라 노광된 부분을 제거하고 노광되지 않은 부분은 패턴으로 남기거나, 반대로 노광된 부분은 패턴으로 남기고, 노광되지 않은 부분은 제거하게 된다. 웨이퍼에 순수를 뿌려서 잔존하는 현상액을 린스한 다음에 포스트 베이크 유니트로 웨이퍼를 이송시켜 웨이퍼를 소정의 온도로 베이킹 처리한다.

- <14> 이러한 베이크 공정에서는 통상 챔버 내의 핫 플레이트 상에 포토 레지스트가 도포된 웨이퍼를 장착하여 소정의 온도로 포토 레지스트를 베이크하는 챔버식 베이크장치를 사용한다.
- <15> 최근 이와 같은 베이크장치는 미세 패턴을 패터닝하는 경우 포토 레지스트의 베이크 온도 균일성이 사진공정이나 식각공정 시 커다란 영향을 미치게 되므로 포토 레지스트의 베이크 온도를 균일하게 유지되도록 하는 점이 필요로 된다.
- <16> 즉 웨이퍼가 챔버 내에 실장되었을 때 웨이퍼를 일정온도까지 얼마나 빨리 그리고 미세한 오차를 가지는 균일한 베이크 온도로 유지시킬 수 있느냐가 반도체 소자의 수율에 직접적인 영향을 미치므로 정밀한 온도조절과 보다 빠른 온도 보상이 이루어지는 베이크 장치가 요구되고 있다.
- <17> 그러나 현재의 베이크 챔버는 도 1에서와 같이 챔버(10)의 내부로 구비되는 핫 플레이트(11)의 상부면으로 웨이퍼(W)가 안착되게 한 후 소정의 온도로 가열하여 패턴을 형성하도록 하고 있는 바 일반적인 패턴을 형성하는 경우에는 별 문제가 없으나 미세한 직경의 콘택홀을 형성하는 경우 또는 특히 열에 민감한 포토레지스트를 사용하는 경우에는 CD 불량이 초래되는 문제가 발생된다.
- <18> 또한 현재는 핫 플레이트(11)에서 그와 대향하는 커버(20)의 상부면은 통상 산화처리가 되도록 하여 표면이 거칠게 형성되도록 하여 핫 플레이트(11)에서의 균일한 온도산포가 이루어지도록 하고 있다.

- <19> 핫 플레이트(11)에서의 온도 산포는 센터 부위가 가장 낮게 나타나면서 웨이퍼(W)에서도 도 2에서와 같이 다른 부위(T, L, R, F)에 비해서 센터(C)에서의 CD가 지나치게 낮게 나타나 미세 패턴의 형성이 불량한 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <20> 따라서 본 발명은 상술한 종래 기술의 문제점들을 해결하기 위하여 발명된 것으로서, 본 발명의 목적은 핫 플레이트의 직상부측 챔버의 내벽면을 수직 방사율이 낮은 재질로서 이루어지게 하여 베이킹 공정을 수행 시 챔버 내부의 공정 분위기가 안정되면서 CD 산포를 보다 감소시키고자 하는 것이다.
- <21> 또한 본 발명은 챔버의 내부 분위기를 짧은 시간에 안정화시켜 공정 수행 시간이 단축되도록 하는데 다른 목적이 있다.

**【발명의 구성 및 작용】**

- <22> 이와 같은 목적을 달성하기 위하여 본 발명은 웨이퍼가 안착되는 핫 플레이트가 내부에 구비되는 챔버와; 상기 챔버의 상부를 폐쇄되도록 하는 커버: 및 상기 커버의 내측면에는 수직 방사율 계수가 낮은 재질의 박막이 구비되도록 하는 구성을 특징으로 한다.
- <23> 상기의 박막은 상기 챔버의 내부에 구비되는 핫 플레이트의 직상부측 상기 커버의 내측 상부면에 성층되게 할 수가 있다.
- <24> 또한 상기 박막의 표면은 연마에 의해 경면 처리되도록 한다.
- <25> 그리고 상기의 박막은 수직 방사율 계수가 0.02 ~0.05 가 되도록 한다.



- <26> 특히 상기의 박막은 유기물에 의한 부식에 강한 재질로 이루어지도록 한다.
- <27> 이하 본 발명의 바람직한 실시예를 첨부된 도면에 의하여 더욱 상세히 설명하면 다음과 같다.
- <28> 포토장비는 웨이퍼를 반송하는 반송로의 주위에 다수의 처리 유닛을 배치하고, 이 반송로를 따라 웨이퍼를 각 유닛에 반송함으로써 각 유닛에서 필요로 하는 공정을 수행하게 된다.
- <29> 즉 웨이퍼는 캐리어에 담겨져 재치대 위에 로딩되며, 로딩되는 웨이퍼는 메인 암기구에 의해 반송로를 따라 HMDS(Hexa-Methyl Disilane) 유닛에 제공되고, HMDS 유닛에서 웨이퍼는 어드히전(adhesion)처리된다. 이어서, 웨이퍼는 쿨링 유닛에서 상온으로 냉각된 다음에 도포 유닛에 이송되고, 도포 유닛에서 웨이퍼는 스핀 척에 고정되어 회전하면서 웨이퍼 표면으로 포토레지스트 용액을 뿌려 균일한 두께로 포토레지스트가 도포되도록 한다.
- <30> 웨이퍼는 다시 프리 베이크 유닛에 이송되어 대략 100℃ 정도로 소정시간동안 소프트 베이크되고, 이 과정에서 포토레지스트막에 포함된 용제를 휘발시켜 막질을 안정화시킨다. 웨이퍼는 다시 쿨링 유닛으로 이송되어 상온에서 냉각되고, 스텝퍼에 이송되며, 스텝퍼에서 포토레지스트막은 노광처리된다.
- <31> 이후 웨이퍼는 WEE(Wafer Edge Exposure) 유닛에 이송되어 웨이퍼의 엣지부위를 노광한 후 노광된 웨이퍼는 PEB(Post Exposure Bake) 유닛에 이송되어 소정온도로 소정시간동안 베이킹 처리된다.

- <32> 베이킹된 웨이퍼는 쿨링 유니트에 이송되어 상온으로 냉각한 다음에 현상 유니트에 이송되어 포토레지스트가 노광되어 있는 웨이퍼에 현상액을 뿌려서 포토레지스트의 성질에 따라서 노광된 부분을 제거하고 노광되지 않은 부분은 패턴으로 남기거나, 반대로 노광된 부분은 패턴으로 남기고 노광되지 않은 부분은 제거하게 된다. 다음 웨이퍼에 순수를 뿌려 웨이퍼 상에 잔존하는 현상액을 린스한 다음에 포스트 베이킹 유니트로 웨이퍼를 이송한다.
- <33> 베이킹 유니트에서는 웨이퍼를 소정 온도로 베이킹 처리하게 되는데 이러한 베이킹 처리는 남겨진 포토레지스트를 경화시키고 내약품성을 향상시키게 되는 것으로 베이킹 처리된 웨이퍼는 쿨링 유니트로 이송되어 상온으로 냉각되게 한 다음에 재치대의 웨이퍼 캐리어에 언로딩된다.
- <34> 상기와 같은 일련의 공정 수행 과정은 종전과 동일하다.
- <35> 다만 웨이퍼에 형성하게 되는 콘택홀이 점차 작은 사이즈가 되면서 필요로 하는 사이즈의 콘택홀을 구현하기 위해서는 여러번에 걸친 베이킹 처리가 반드시 요구된다.
- <36> 즉 베이킹 처리를 여러번 수행하게 되면 콘택홀의 상단부 외주연부가 점차 함몰되면서 보다 작은 직경의 콘택홀을 형성시키게 되는 것이다.
- <37> 이와 같은 일련의 포토공정에서 현상 후에 웨이퍼를 베이킹 처리하는 베이킹 유니트는 통상 도 3에서와 같은 구성으로 이루어진다.
- <38> 도시된 바와 같이 본 발명의 도면에서는 종전의 구성과 동일한 구성에 대해서는 동일 부호를 적용하기로 한다.

- <39> 본 발명의 베이크 유닛은 크게 챔버(10)와 커버(20)로서 이루어진다. 즉 챔버(10)는 내부에 핫 플레이트(11)를 구비하면서 이 핫 플레이트(11)의 상부면으로 웨이퍼(W)가 안착되도록 하는 구성이다.
- <40> 챔버(10)의 내부에 구비되는 핫 플레이트(11)는 히터(미도시) 구동에 의해 가열되는 구성으로, 그 상부면으로 웨이퍼(W)가 안착되게 함으로써 현상된 패턴을 베이킹 처리하여 필요로 하는 패턴이 형성되도록 한다.
- <41> 그리고 커버(20)는 챔버(10)의 개방된 상부를 밀폐하게 되는 구성으로, 이러한 커버(20)는 통상 챔버(10)와 동일한 재질로서 구비되도록 한다.
- <42> 상기한 구성은 종전의 구성과 대동소이하며, 단지 본 발명은 상기의 구성에서 커버(20)의 구성 특히 커버(20)의 내측 주면을 개선하도록 하는데 가장 두드러진 특징이 있다.
- <43> 다시 말해 챔버(10)에서 베이크 공정이 수행되는 내부 공간 중 커버(20)측 내주면에는 그 표면이 수직 방사율 계수( $\epsilon$ )가 낮은 재질로서 박막(30)이 구비되도록 하는데 본 발명의 가장 두드러진 특징이 있다.
- <44> 특히 박막(30)은 핫 플레이트(11)의 직상부측에서 핫 플레이트(11)에 안치되어 있는 웨이퍼(W)와 마주보게 구비되는 챔버(10)의 내측 상부면으로 형성되도록 하는 것이 보다 바람직하다. 그리고 상기의 박막(30)에서 수직 방사율 계수( $\epsilon$ )는 0.02 ~0.04의 범위가 가장 적당하며, 이들 박막(30)의 표면은 연마에 의해서 경면 처리되게 하는 것이 가장 바람직하다.

- <45> 박막(30)으로서 가장 적당한 재질은 알루미늄이며, 경면 처리된 알루미늄 호일을 커버(30)의 내측 상부면에 부착되게 하는 것이 가장 좋다.
- <46> 도 4는 본 발명의 박막(30)으로 적합한 금속 재질의 수직 방사율 계수를 도시한 것이다.
- <47> 도 4에서 보는바와 같이 알루미늄이라 할지라도 산화되거나 표면이 연마되지 않아 무디게 된 것은 잘 연마되거나 경면처리된 알루미늄의 수직 방사율보다 상대적으로 높게 나타나는 성질을 갖고 있으므로 잘 연마된 것을 사용하는 것이 좋고, 알루미늄 이외에도 황동 및 구리 또는 금을 사용할 수도 있으며, 이러한 재질 또한 연마된 것으로 사용하는 것이 가장 바람직하다.
- <48> 본 발명의 박막(30)은 별도로 제작되어 커버(20)의 내측면에 부착되게 할 수도 있고, 커버(20)에 도금과 같은 방식으로 성층시킨 다음 연마하는 방식으로 형성되게 할 수도 있다.
- <49> 한편 박막(30)은 포토레지스트와 같은 유기물에 의한 부식에 강한 재질로서 이루어지도록 한다.
- <50> 이와 같이 구성된 본 발명에 의한 작용을 설명하면 다음과 같다.
- <51> 전술한 바와 같이 본 발명은 베이크 공정을 수행하는 챔버(10)에 결합된 커버(20)의 핫 플레이트(11) 또는 핫 플레이트(11)에 안치된 웨이퍼(W)에 대향되는 상부면으로 수직 방사율 계수가 낮은 재질로서 박막(30)이 구비되게 함으로써 웨이퍼(W)에서의 CD 산포가 개선되도록 하는 것이다.

- <52> 한편 CD 산포는 커버(20)의 구조보다는 열을 방사하는 커버(20)에서의 열 방사 표면의 재질과 상관관계가 있음을 시험을 통해 체크할 수가 있다.
- <53> 도 5는 핫 플레이트(11)와 핫 플레이트(11)에 대향하는 커버(20)의 내측 상부면 사이의 구조 변경에 따른 조건별 웨이퍼(W)에서의 CD 데이터를 산출한 것이다.
- <54> 이때 기존의 경우는 핫 플레이트(11)에 대향하는 커버(20)의 상부면을 산화 처리하여 표면을 거칠게 하였을 때를 말하는 것이고, 구조 변경은 도 6에서와 같이 핫 플레이트(11)와 커버(20)의 상부면간 높이를 개선하였을 때를 의미하는 것이며, Al 테이프는 알루미늄을 커버(20)의 상부면에 테이프 처리한 경우를 의미한다.
- <55> 따라서 도시된 바와 같이 조건별 CD 데이터를 보면 열을 방사하는 커버(20)의 재질을 변경하는 조건에서 CD 차가 가장 작게 나타남을 알 수가 있으며, 단순한 구조 변경은 CD에 큰 영향을 주지 않는다는 것 또한 알 수가 있다.
- <56> 이와 함께 커버(20)의 상부면 색깔 변경에 따른 시험에서도 표면 색깔은 CD에 전혀 영향을 주지 않는다는 것을 알 수가 있다.
- <57> 이와 같이 본 발명은 다양한 시험을 통해 CD에 가장 영향을 주는 조건은 핫 플레이트(11)와 대향하는 커버(20)의 상부면 표면 재질과 거칠기이므로 재질은 수직 방사율 계수가 낮은 재질 즉 알루미늄이나 동, 은 등을 사용하여 박막(30)을 형성하고, 이 박막(30)은 표면을 연마에 의해서 경면 처리되게 하여 CD가 대폭 개선되도록 하는 것이다.
- <58> 커버(20)의 핫 플레이트(11)와 마주보는 표면으로 수직 방사율 계수가 낮은 재질로서 박막(30)을 형성하게 됨으로써 챔버(10) 내에서의 열방출을 최대한 막아 내부의 공정 분위기를 보다 빠르게 안정화시킬 수가 있게 된다.

- <59> 즉 내부의 온도를 신속하게 안정화시키게 되면 공정 진행 속도가 빨라지게 될 뿐만 아니라 CD를 개선하면서 제품의 불량률을 최대한 낮출 수가 있게 된다.
- <60> 한편 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다는 바람직한 실시예의 예시로서 해석되어야 한다.
- <61> 따라서 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

#### 【발명의 효과】

- <62> 상술한 바와 같이 본 발명에 의하면 챔버(10)의 핫 플레이트(11)와 마주보는 커버(20)의 내측 상부면으로 수직 방사율 계수가 대단히 낮은 재질인 박막(30)이 형성되게 하면서 이 박막(30)의 표면을 경면 처리하는 간단한 구조적 개선에 의해 챔버(10) 내부에서의 공정 온도를 신속하게 안정화시키게 되고, 이로 인해 웨이퍼(W)에서의 CD 산포가 대폭적으로 개선되는 장점이 있게 된다.
- <63> 이는 결국 웨이퍼의 생산성과 제품의 품질을 향상시키게 되는 매우 유용한 효과를 제공하게 된다.

【특허청구범위】

【청구항 1】

웨이퍼가 안착되는 핫 플레이트가 내부에 구비되는 챔버와;

상기 챔버의 상부를 폐쇄되도록 하는 커버: 및

상기 커버의 내측면에는 수직 방사율 계수가 낮은 재질의 박막이 구비되도록 하는 반도체 제조를 위한 베이크 장치.

【청구항 2】

제 1 항에 있어서, 상기 박막은 상기 챔버의 내부에 구비되는 상기 핫 플레이트의 직상부측 상기 커버의 내측 상부면에 형성되는 반도체 제조를 위한 베이크 장치.

【청구항 3】

제 1 항에 있어서, 상기 박막은 상기 핫 플레이트측 표면을 연마에 의해서 경면 처리한 반도체 제조를 위한 베이크 장치.

【청구항 4】

제 1 항에 있어서, 상기 박막은 수직 방사율 계수가 0.02 ~ 0.05인 금속인 반도체 제조를 위한 베이크 장치.

1020020054913

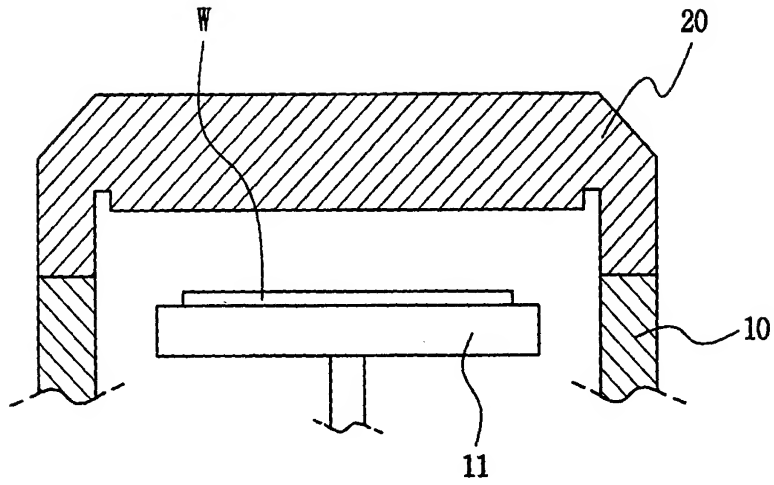
【청구항 5】

제 1 항에 있어서, 상기 박막은 유기물에 의한 부식에 강한 재질로서 이루어지는 반도체 제조를 위한 베이크 장치.

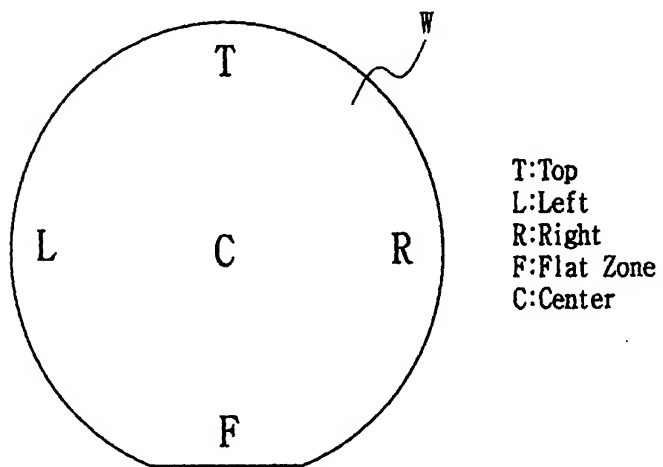


【도면】

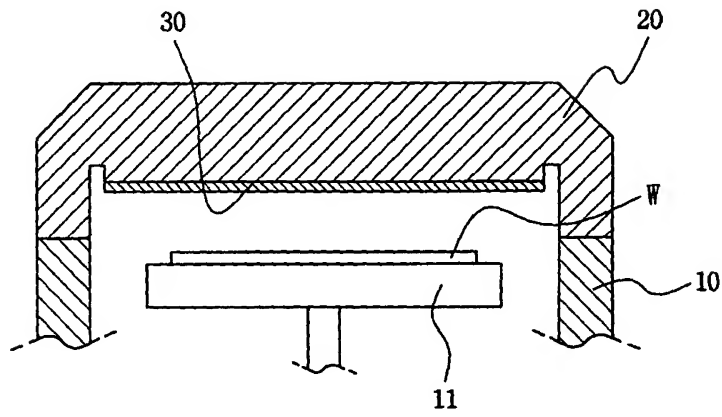
【도 1】



【도 2】



【도 3】



【도 4】

재질		수직 방사율( $\epsilon$ )
알루미늄	잘 연마된 판	0.038~0.06
	빛나는 호일	0.04
	많이 산화된 것	0.20~0.033
황동	잘 연마된 것	0.028~0.031
	무딘판	0.22
	산화된 것	0.60
구리	연마와 전해된 것	0.018
	연마된 것	0.04~0.05
	알루미늄 도장	0.18
	검게 산화된 것	0.78
연마된 금		0.02

【도 5】

TEST NO	TEST 조건	CD						
		T	L	C	R	F	AVG	RANGE
1	기준	197	201	182	205	210	199	23
2	구조변경	215	209	186	229	217	211.2	43
3	구조변경 & Al 테이프	200	203	208	206	213	206	13
4	Al 테이프	206	212	209	214	215	211.2	9

【도 6】

